

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-306910

(43)Date of publication of application : 28.11.1997

(51)Int.Cl.

H01L 21/3205

H01L 21/66

H01L 27/04

H01L 21/822

(21)Application number : 08-118882

(71)Applicant : FUJITSU LTD

(22)Date of filing : 14.05.1996

(72)Inventor : EGUCHI AKIRA

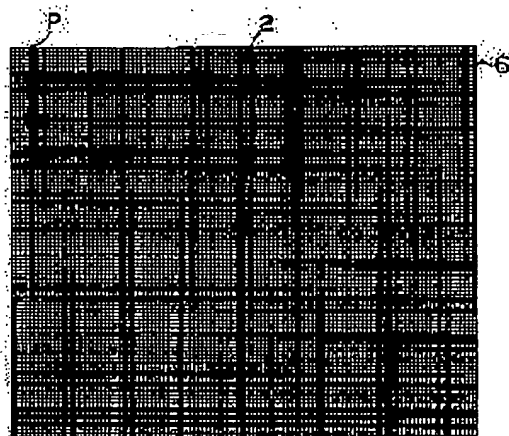
(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To easily find the faulty places on a substrate by a microscope possible in the case of a fault analyzing work of patterns, by providing marks serving as the reference positions for detecting the respective patterns laid out repeatedly on the substrate.

SOLUTION: On a substrate 6 of a semiconductor device whereon the same patterns (P) are laid out repeatedly, marks 2 serving as the reference positions for detecting the respective patterns P are provided. For example, on the memory cell array of a RAM wherein many memory cells are laid out, the wiring layers of many layers are formed. Further, among the wiring patterns constituting a lower wiring layer, dummy patterns for forming wiring with stable film thickness on its immediately upper layer by flattening the lower wiring layer itself are formed.

Among such dummy patterns, marking dummy patterns 2 with respective different shapes from others are formed respectively in both the X and Y directions of the memory cell array of the RAM at respective fixed spaces.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

Searching PAJ

2/2 ページ

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-306910

(43) 公開日 平成9年(1997)11月28日

| (51) Int.Cl. ⁸ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|------------------------------|---------|--------|---------------|--------|
| H 0 1 L | 21/3205 | | H 0 1 L 21/88 | Z |
| | 21/66 | | 21/66 | Y |
| | | | | A |
| | 27/04 | | 27/04 | D |
| | 21/822 | | | |
| 審査請求 未請求 請求項の数 5 O L (全 6 頁) | | | | |

(21) 出願番号 特願平8-118882

(22) 出願日 平成8年(1996)5月14日

(71) 出願人 000003223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 江口 昇

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 弁理士 恩田 博宣

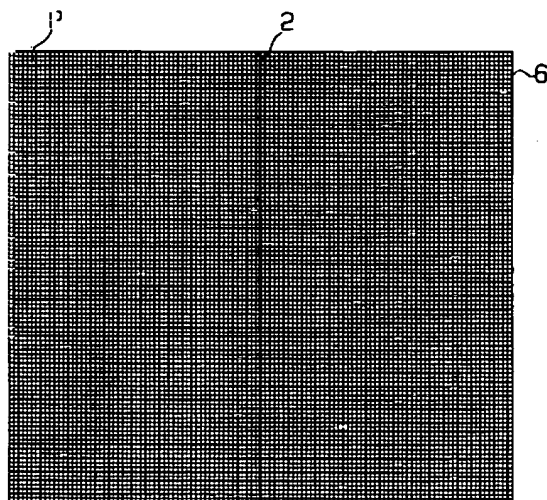
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】不良解析作業時に基板上の不良箇所を顕微鏡で容易に検索可能とした半導体装置を提供する。

【解決手段】半導体装置の基板6上には同一のパターンPが繰り返しレイアウトされる。基板6上には、各パターンPを検索するための基準位置となる目印2が設けられる。

本発明の原理説明図



BEST AVAILABLE COPY

(2)

特開平9-306910

【特許請求の範囲】

【請求項1】 基板上に同一のパターンが繰り返しレイアウトされる半導体装置であって、

前記基板上には、前記各パターンを検索するための基準位置となる目印を設けたことを特徴とする半導体装置。

【請求項2】 前記目印は、基板上にレイアウトされた配線とは異なる形状で一定間隔毎に形成したダミーパターンで構成したことを特徴とする請求項1記載の半導体装置。

【請求項3】 前記目印は、基板上に同一パターンで繰り返しレイアウトされたダミーパターンとは異なる形状の目印用ダミーパターンを、一定間隔毎にレイアウトして構成したことを特徴とする請求項1記載の半導体装置。

【請求項4】 前記目印は、基板上に同一パターンで繰り返しレイアウトされたダミーパターンを、一定間隔毎に除去して構成したことを特徴とする請求項1記載の半導体装置。

【請求項5】 前記目印は、基板上に同一パターンで繰り返しレイアウトされたダミーパターンの表面材質とは異なる表面材質の目印用ダミーパターンを、一定間隔毎に設けて構成したことを特徴とする請求項1記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、ダミーパターンを備えた半導体装置に関するものである。近年の半導体装置では、ますます高集積化及び微細化が進んでいる。このような半導体装置を製造するためのプロセス技術を向上させて、半導体装置の信頼性を向上させ、かつ製造時の歩留りを向上させるためには、不良となった半導体装置の解析を行う必要がある。そして、その解析作業を効率よく行うことが必要となっている。

【0002】

【従来の技術】従来、例えばチップ上に形成されたRAMの不良解析を行うには、RAMの全記憶セルにデータを書き込んだ後、前記記憶セルからデータを読みだし、その読み出しデータが書き込みデータと一致するか否かが判定される。

【0003】そして、その判定結果に基づいて、メモリセルアレイを構成する全記憶セル中において不良セルが存在する箇所を示すフェイルビットマップ (Fail Bit Map) が生成される。

【0004】次いで、電子顕微鏡あるいは光学顕微鏡で不良となった箇所の配線パターン等を検査することにより、製造プロセスに起因する不良の解析が行われる。このとき、配線パターンが多層構造である場合には、上層のパターンから解析が行われ、下層のパターンを解析する場合には、上層のパターンがエッチング等により除去される。

【0005】

【発明が解決しようとする課題】上記のような不良解析方法では、前記顕微鏡で不良箇所を検索する場合に、フェイルビットマップに基づいて、その不良箇所を探し出すことが困難である。

【0006】すなわち、RAM等ではチップ基板上に同一のパターンが繰り返し敷きつめられているので、前記顕微鏡で基板面を見ながら不良箇所を探し出すことが困難である。

【0007】従って、同一のパターンが繰り返し敷きつめられたRAM等の半導体装置が高集積化されるほど、不良解析作業が煩雑となるという問題点がある。この発明の目的は、不良解析作業時に基板上の不良箇所を顕微鏡で容易に検索可能とした半導体装置を提供することにある。

【0008】

【課題を解決するための手段】図1は請求項1の原理説明図である。すなわち、半導体装置の基板6上には同一のパターンPが繰り返しレイアウトされる。前記基板6上には、前記各パターンPを検索するための基準位置となる目印2が設けられる。

【0009】請求項2では、前記目印は、基板上にレイアウトされた配線とは異なる形状で一定間隔毎に形成したダミーパターンで構成される。請求項3では、前記目印は、基板上に同一パターンで繰り返しレイアウトされたダミーパターンとは異なる形状の目印用ダミーパターンを、一定間隔毎にレイアウトして構成される。

【0010】請求項4では、前記目印は、基板上に同一パターンで繰り返しレイアウトされたダミーパターンを、一定間隔毎に除去して構成される。請求項5では、前記目印は、基板上に同一パターンで繰り返しレイアウトされたダミーパターンの表面材質とは異なる表面材質の目印用ダミーパターンを、一定間隔毎に設けて構成される。

【0011】(作用)請求項1では、目印を検出することにより、基板上での各パターンの検索が容易となる。

【0012】請求項2では、ダミーパターンを検出することにより、基板上での各パターンの検索が容易となる。請求項3では、ダミーパターンとは異なる形状の目印用ダミーパターンを検出することにより、基板上での各パターンの検索が容易となる。

【0013】請求項4では、ダミーパターンが除去された位置を検出することにより、基板上での各パターンの検索が容易となる。請求項5では、ダミーパターンとは異なる表面材質の目印用ダミーパターンを検出することにより、基板上での各パターンの検索が容易となる。

【0014】

【発明の実施の形態】図2は、RAMのメモリセルアレイを示す。多数の記憶セルが敷きつめられたセルアレイ1上には、多層の配線層が形成され、下層の配線層を構

(3)

特開平9-306910

成する配線パターン間には、その配線層を平坦化して、上層の配線層に膜厚の安定した配線を形成するためのダミーパターンが形成される。

【0015】そして、前記ダミーパターンのうち、他のダミーパターンとは異なる目印用ダミーパターン2、3が一定間隔毎に形成される。すなわち、目印用ダミーパターン2はセルアレイ1のX方向に一定間隔毎に形成され、目印用ダミーパターン3はセルアレイ1のY方向に一定間隔毎に形成されている。

(第一の実施の形態) 前記目印用ダミーパターン2、3の第一の実施の形態を図3に示す。セルアレイ1上には、多数の配線4が形成され、各配線4の間にはそれぞれ配線間領域がレイアウトされる。

【0016】前記配線4の一定本数毎の配線間領域には、目印用ダミーパターン2aが形成される。この目印用ダミーパターン2aは、当該配線間領域内において一定間隔毎に形成された丸型のパターンである。

【0017】この実施の形態では、各配線4の間には他のダミーパターンが形成されておらず、目印用ダミーパターン2aは、特に基板面を平坦化するものではない。このように構成されたRAMでは、前記顕微鏡で不良箇所の検索を行う際、その不良箇所の最寄りの目印用ダミーパターン2aを探し出すことにより、基板上でのおおよその位置が特定される。

【0018】そして、目印用ダミーパターン2aを基準位置とし、フェイルビットマップによりその基準位置からの不良箇所の方向を特定することにより、前記顕微鏡を覗きながら不良箇所を容易に探し出すことができる。

(第二の実施の形態) 図4は、目印用ダミーパターンの第二の実施の形態を示す。基板上にレイアウトされた多数の配線4の間にはそれぞれダミーパターン5がレイアウトされる。このダミーパターン5は、配線4の表面と配線間領域との段差をなくして平坦化するために敷きつめられた方形のパターンである。

【0019】前記ダミーパターン5として、一定間隔毎に目印用ダミーパターン2bが形成される。この目印用ダミーパターン2bは、他のダミーパターン5が方形であるのに対し、楕円形のパターンを配線間領域に敷きつめて形成される。

【0020】このような構成により、他のダミーパターン5とは形状の異なる目印用ダミーパターン2bを目印として不良箇所を容易に探し出すことができるので、前記第一の実施の形態と同様な作用効果を得ることができる。

【0021】また、目印用ダミーパターン2bも平坦化に寄与するので、平坦化を効率よく行うことができるとともに、目印用ダミーパターン2bを他のダミーパターンと同時に形成することができるので、工程数を増加させることなく目印用ダミーパターン2bを形成することができる。

(第三の実施の形態) 図5は、第三の実施の形態を示す。配線4及びダミーパターン5は、前記第二の実施の形態と同様である。

【0022】前記ダミーパターン5は、一定間隔毎に設けられず、配線間領域が露出される。そして、一定間隔毎に露出する配線間領域が、他のダミーパターンとは形状の異なる目印用パターン2cとして作用する。

【0023】従って、目印用ダミーパターン2cを他のダミーパターンと同時に形成することができるので、工程数を増加させることなく目印用ダミーパターン2cを形成することができるとともに、前記第二の実施の形態と同様な作用効果を得ることができる。

(第四の実施の形態) 図6は、目印用ダミーパターンの第四の実施の形態を示す。この実施の形態のダミーパターン5は、前記第二の実施の形態と同様である。そして、目印用ダミーパターン2dの表面を他のダミーパターンの表面とは異なる材質としたものである。

【0024】このようなダミーパターン2dの製造方法を図7に示す。まず、図7(a)に示すように、Al-Cu層7の上下をTiN層8a、8bで挟んだ3層構造の配線層を基板6上に形成する。

【0025】次いで、同図(b)に示すように、配線層上にフォトレジスト10aを塗布して、リソグラフィ技術及びエッチング技術により、目印用ダミーパターン2dを形成する部分のTiN層8aを除去して、Al-Cu層7を露出させる。

【0026】次いで、同図(b)のフォトレジスト10aを除去した後、再度フォトレジスト10bを塗布し、リソグラフィ技術及びエッチング技術により、同図(c)に示すように、配線4、ダミーパターン5及び目印用ダミーパターン2dをパターンニングする。

【0027】次いで、フォトレジスト10bを除去すると、同図(d)に示すように、配線4、ダミーパターン5及び目印用ダミーパターン2dが形成される。上記のように構成された目印用ダミーパターン2dは、他のダミーパターン5とは表面の材質が異なる。すなわち、目印用ダミーパターン2dの表面に露出するAl-Cu層7は、他のダミーパターン5の表面に露出するTiN層8aより光の反射率が高く、前記顕微鏡で見た場合に、その色彩及び明度が異なって見える。

【0028】従って、ダミーパターン5と目印用ダミーパターン2dとのパターン形状を同一とすることができるので、各ダミーパターン5、2dと配線4との間隔を一定として、平坦化の効率を向上させることができるとともに、前記第一の実施の形態と同様な作用効果を得ることができる。

【0029】なお、前記各実施の形態で、各目印用ダミーパターンのレイアウトの端部に、各目印用ダミーパターンの基板上における位置を示す数字あるいはアルファベット等の記号をパターンニングすれば、各目印用ダミ

(4)

特開平9-306910

一パターンの基板上での位置を顕微鏡を覗きながら容易に確認することができる。

【0030】また、前記各目印用ダミーパターン自体を、各列毎に前記記号でパターンニングしてもよい。また、前記各実施の形態では、RAMを構成する基板について説明したが、同一のパターンが繰り返される論理回路あるいはゲートアレイ等を形成する基板においても、同様に実施することができる。

【0031】

【発明の効果】以上詳述したように、この発明は不良解析作業時に基板上の不良箇所を顕微鏡で容易に検索可能とした半導体装置を提供することができる。

【図面の簡単な説明】

【図1】 本発明の原理説明図である。

【図2】 本発明の実施の形態を示すレイアウト図である。

【図3】 第一の実施の形態を示すレイアウト図である。

【図4】 第二の実施の形態を示すレイアウト図である。

【図5】 第三の実施の形態を示すレイアウト図である。

【図6】 第四の実施の形態を示すレイアウト図である。

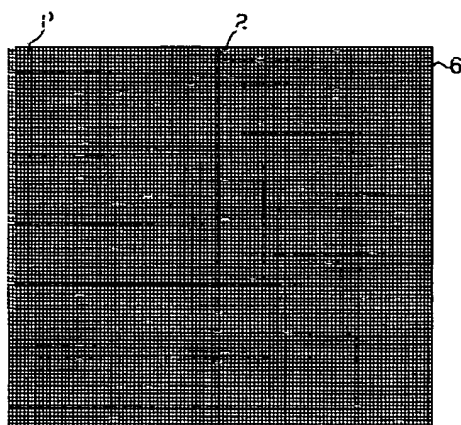
【図7】 第四の実施の形態の製造工程を示す基板断面図である。

【符号の説明】

2, 3 目印
4 配線パターン
5 ダミーパターン
6 基板
P パターン

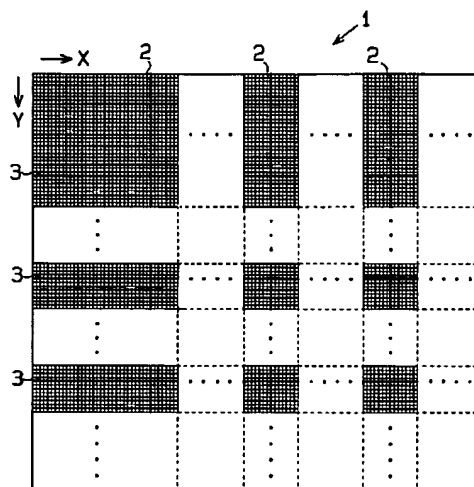
【図1】

本発明の原理説明図



【図2】

本発明の実施の形態を示すレイアウト図

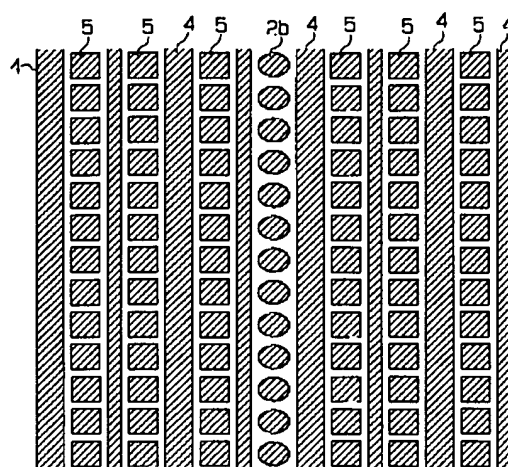


BEST AVAILABLE COPY

特開平9-306910

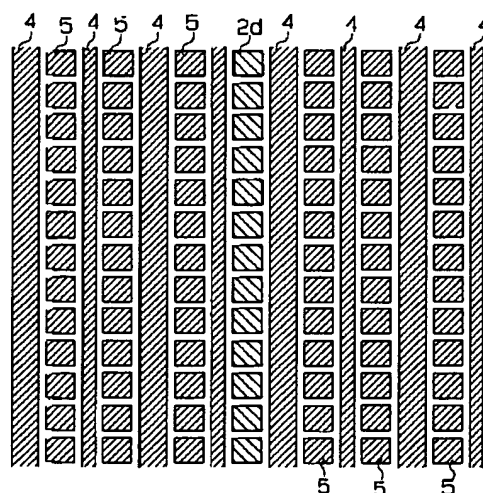
【図4】

第二の実施の形態を示すレイアウト図



【图5】

第三の実施の形態を示すレイアウト例



(6)

特開平9-306910

【図7】

図7の裏面の形状の製造工程を示す基板断面図

